

## 情報電気電子工学実験第二

### テーマ1 ハードウェア記述言語による回路設計 (2011年度版)

実験担当：久我，尼崎

#### 1 概要

本実験では、集積回路設計ツールとして「東京大学集積システム設計教育研究センター (VDEC)」から提供されている以下のEDA (Electronic Design Automation) ツールを使用する。

- CADENCE 社製 回路図エディタ (Virtuoso)
- CADENCE 社製 シミュレータ (Verilog-XL)
- CADENCE 社製 波形ビューア (Simvision)
- Synopsys 社製 論理合成 (Design Compiler)

また、末吉研究室所有のEDA ツールおよび設計教育環境を使用する。

- Xilinx 社製 FPGA 設計ツール (XACT Step)
- 実験ボード KITE マイクロプロセッサボード Plus<sup>+</sup>
- 補助コマンド等 (make\_vector など)

以下、上記EDA ツールを使用するために必要な設定や注意点等について述べる。

#### 2 動作環境

使用するEDA ツールは、基本的に以下の計算サーバで動作する。

マシン名	プロセッサ (OS)
calc1	Intel Xeon X5680 (Red Hat 4.1.2)
calc2	Intel Xeon X5680 (Red Hat 4.2.1)
calc3	Fujitsu SAPRC64 VII (Solaris 10)

したがって、各st 端末から一旦計算サーバにsshにてログインし、EDA ツールの画面を各st 端末に表示する必要がある。また、所属の班、使用するEDA ツールに応じて、以下のように計算サーバを使い分ける必要があるので注意する。基本的にWeb教材の指示に従うこと。

CADENCE 社および Synopsys 社のEDA ツール  
実験実施時の前半の班は calc1 を、後半の班は calc2 を使用する。詳細は実験時に指示する。

Xilinx 社製 FPGA 設計ツール (XACT Step) 必ず calc3 を使用する。calc1 および calc2 では動作しない。

補助コマンド等 (make\_vector など) Web教材の指示にしたがって実行する。

#### 3 初めて使う場合に必要な作業

CADENCE 社製設計ツールを使用する場合、個人のホームディレクトリに.cdsinitファイルが必要である。以下のコマンドにより準備する。

```
cp ~/kuga/.cdsinit_~/
```

この作業は1回のみ行えば良い。

#### 4 通常使用する際の作業

##### 4.1 実験作業手順の参照

実験作業手順はwebブラウザで参照する。Webブラウザはfirefoxである。これは、必ずst 端末で動作させること。計算サーバのWebブラウザを使用しない。(計算サーバの負荷軽減のため。)

なお、実験手順のWebページは、

```
http://www.arch.cs.kumamoto-u.ac.jp/~kuga/lecture/cseej2/
```

である。

##### 4.2 テキストエディタ

ハードウェア記述言語の編集などでエディタを使用する場合はst 端末上のemacsやgeditを使用すること。(計算サーバでもemacsは動作するが、負荷を軽くするためにできるだけ使用しないこと。)また、ハードウェア記述言語やコマンド実行のためのスクリプト記述の際には漢字を使用しないこと(ASCIIコードのみを使用する)。特にファイル内に漢字が混じり、その漢字コードがUTF-8の場合、設計を進めることができない。(漢字コードがEUCの場合、実験を進めることができる場合もある。)

##### 4.3 EDA ツールの表示

GUIベースのEDAツールは計算サーバで動作させ、画面をst 端末に表示する。このための手順は以下のように実行する。

st 端末での手順

```
ssh -Y マシン名.st.cs.kumamoto-u.ac.jp
```

一部のコマンドで画面が表示されないという問題を回避するため、sshコマンド使用の際は-Yオプションを忘れないこと。

## 計算サーバでの手順

計算サーバにログイン後は、環境設定のためのコマンドを 毎回必ず実行 する必要がある。

```
source ~/kuga/vdec_2011
```

これを行っていない場合は一切 EDA ツールが使えない。

### 4.4 EDA ツール操作上の注意

#### 全般的な注意

- 使用するコマンドによって動作する計算サーバが異なるので、Web 教材の指示にしたがって操作すること。
- ウィンドウベースの EDA ツールの終了はメニューから正しく操作すること。ウィンドウマネージャにより強制終了させないこと。もし、ウィンドウが反応しなくなったときは、教員か T.A. に連絡すること。
- ツールはたまに異常終了することがある。細目に保存を実行すること。
- 設計するに従い、多数のファイルが自動的に作成される。これらのファイルは極めてサイズが大きいため、実験が終了したら必要なファイル以外は直ちに削除すること。

#### その他の注意

- サブテーマ 1 において、計算サーバ上の vi エディタが起動する箇所がある。最低限必要な使用例を以下に示す。
  - vi エディタ起動直後は、カーソル移動モードになっている。HJKL の各キーが移動に対応している。また、スペースで 方向に、Enter キーで次行の先頭に移動する。
  - dd で 1 行削除。
  - i で文字挿入モードに移行。以後、自由に文字を入力できる。
  - ESC キーで、挿入モードを終了し、カーソル移動モードに戻る。
  - ZZ で保存して終了。
  - : を押すことでコマンドモードに移行する。コマンドモードにおいて wq+Enter で保存して終了。また、q!+Enter で保存せずに終了できる。Enter のみなら、カーソル移動モードに戻る。

- ssh を使用しているため一部コマンド (具体的には xact コマンド) で画面が表示されないというバグがある。当該箇所の実験は、Web ページを読んで理解することで実験に代える。

- 実験ボードへ設計データをダウンロードして動作確認を行う場合は、一旦実験用のパソコンに bit ファイルを転送した後にダウンロードを行う。教員または T.A. の指示に従うこと。

- サブテーマ 1 では回路図エディタ virtuoso を使用するが、このツールの使用終了後ゴミプロセスが多く残るバグがある。サブテーマ 1 の終了時には、使用した計算サーバ (calc1 または calc2) で

```
-bash-3.02$ _pkill _CADENCE
```

コマンドによりゴミプロセスを終了させること。なお、プロセスのオーナーではないというエラーが出ることもあるが、これは気にしなくてよい。

## 5 実験遂行上の注意

本テーマは 4 つのサブテーマがある。サブテーマ毎に個々の作業ディレクトリを用意すること。

1. 回路図による 4 ビットバイナリカウンタの設計と実装  
実習時間目安: 2 時限 ~ 3 時限
2. Verilog HDL による 4 ビットバイナリカウンタの設計と実装  
実習時間目安: 1 時限 ~ 2 時限
3. Verilog HDL による 8 ビット ALU の設計と実装  
実習時間目安: 4 時限 (宿題としてソースコードおよびテストベクタを作成しておくこと)
4. 自動販売機の設計  
実習時間目安: 4 時限 (宿題として自動販売機の仕様およびソースコードを作成しておくこと)

できるだけ、各サブテーマを上記時間目安で終わらせるよう努力すること。本実験では、1、3、4 のサブテーマが内容的に時間がかかるので注意する。

本実験では基本的に教員および T.A. は口を挟まない。熟慮した後どうしても分からないようであれば質問すること。そうでなければ、速やかに実験が終了しないので注意されたい。